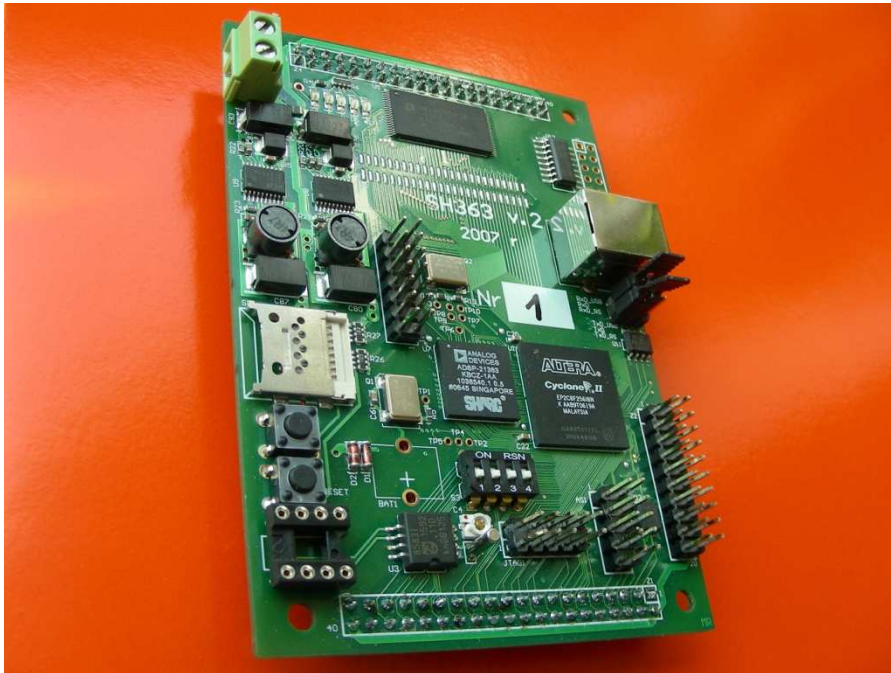


INFORMACJA TECHNICZNA

STEROWNIK DSP SH363



Właściwości sterownika:

Procesor sygnałowy zmiennoprzecinkowy ADSP21363
(3 Mb SRAM, 333 MHz, 666 MIPS, 2GFLOPS)

Układ logiki programowalnej FPGA - CYCLONE II EP2C8F256
(8256 LEs, układy mnożące x 18, 2 x PLL, RAM 165,888kb, 182 I/O).

Pamięci zewnętrzne: FLASH AM29LV081B (8Mb), MRAM MR2A16A (4Mb),
EEPROM 24FC515 (512kb), Karta SD lub SDMicro

Interfejsy komunikacyjne: JTAG, lub izolowane USB i RS232.

Zegar czasu rzeczywistego PCF8583.

Wejścia/wyjścia cyfrowe w ilości 76, dowolnie konfigurowalne w układzie FPGA.

Oprogramowanie niezbędne do pełnego programowania sterownika:

QUARTUS II, Visual DSP++ wersja 4.0 lub wyższa.

Strony www:

www.altera.com, www.analog.com, www.mmb-drives.com.pl

Politechnika Gdańska, wydz. E i A, ul. Sobieskiego 7, 80-216 Gdańsk
MMB-Drives, ul. Litewska 11/13a, 80-719 Gdańsk, info@mmb-drives.com.pl